

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-244325

(43)Date of publication of application : 07.09.2001

(51)Int.Cl.

H01L 21/76
H01L 21/3065
H01L 29/78
H01L 21/336

(21)Application number : 2000-051318

(71)Applicant : DENSO CORP

(22)Date of filing : 28.02.2000

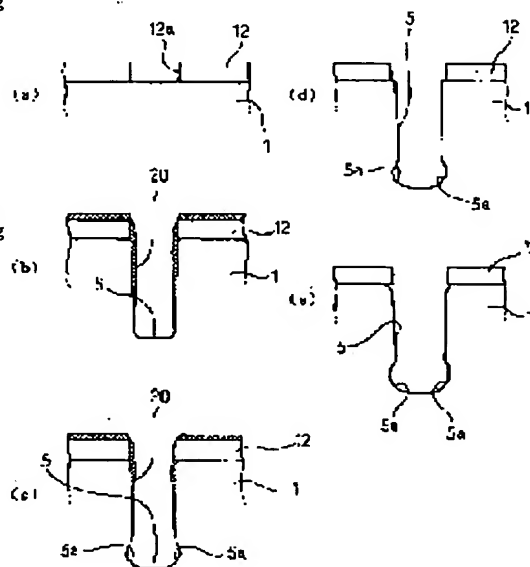
(72)Inventor : SOGA HAJIME
KONDO KENJI
ISHIKAWA EIJI
SAKANO YOSHIKAZU
SUZUKI MIKIMASA

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE AND INSULATING GATE TYPE OF POWER ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To miniaturize a trench by sufficiently rounding the corner of the trench bottom and by preventing silicon from being scraped excessively.

SOLUTION: A method for manufacturing a semiconductor device includes a first step of forming a trench 5a on a semiconductor substrate 1 by anisotropic etching and a second step of making a corner 5 at the bottom of the trench 5 round after the first step, by isotropic etching under the condition which does not eliminate a reaction product 20 formed on the inner plane of the side wall of the trench 5 by the anisotropic etching. Only the corner 5a at the bottom of the trench 5 can be rounded without etching the side wall of the trench 5 in the second step in this method.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

1 2 3 4 5 6 7 8 9 10 11 12

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-244325
(P2001-244325A)

(43) 公開日 平成13年9月7日 (2001.9.7)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)	
H 0 1 L 21/76		H 0 1 L 29/78	6 5 3 A	5 F 0 0 4
21/3065			6 5 5 A	5 F 0 3 2
29/78	6 5 3	21/76	L	
	6 5 5	21/302	J	
21/336		29/78	6 5 8 G	
審査請求 未請求 請求項の数13 O L (全 10 頁)				

(21) 出願番号 特願2000-51318(P2000-51318)

(22) 出願日 平成12年2月28日 (2000.2.28)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 曾我 肇

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 近藤 憲司

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 100071135

弁理士 佐藤 強

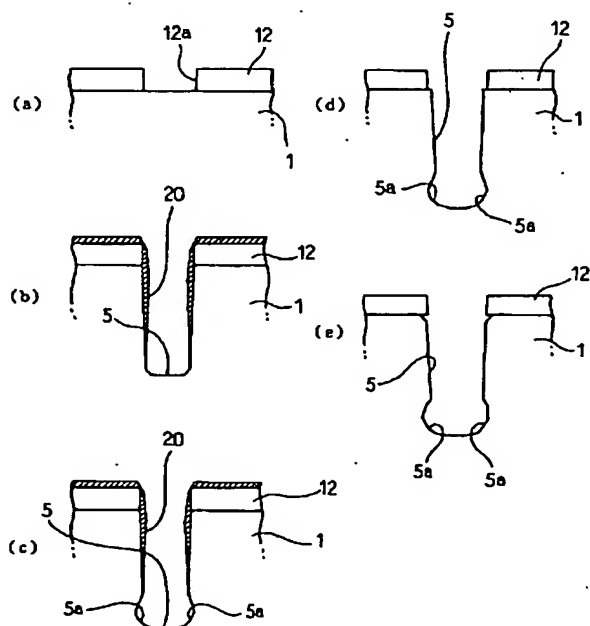
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法及び絶縁ゲート型パワー素子

(57) 【要約】

【課題】 トレンチの底部のコーナー部を十分に丸め、しかも、過剰なシリコン削れの発生を防止し、トレンチを微細化可能にする。

【解決手段】 本発明の半導体装置の製造方法は、異方性エッチングを行うことにより半導体基板1上にトレンチ5を形成する第1の工程を備え、そして、この第1の工程の後、前記異方性エッチングにより前記トレンチ5の側壁の内面に形成された反応生成物20を除去しない状態で、等方性エッチングを行うことにより前記トレンチ5の底部のコーナー部5aを丸める第2の工程を備えたところに特徴を有する。この方法の場合、第2の工程において、トレンチ5の側壁をエッチングすることなく、トレンチ5の底部のコーナー部5aだけを丸めることができる。



【特許請求の範囲】

【請求項1】 異方性エッチングを行うことにより半導体基板上にトレンチを形成する第1の工程と、この第1の工程の後、前記異方性エッチングにより前記トレンチの側壁の内面に形成された反応生成物を除去しない状態で、等方性エッチングを行うことにより前記トレンチの底部のコーナー部を丸める第2の工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項2】 前記第2の工程の等方性エッチングを、前記第1の工程の異方性エッチングを実行したエッチング装置において連続的に実行するようにしたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第2の工程の等方性エッチングは、フッ素を含むガスを使用するドライエッチングで実現されていることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記第2の工程の等方性エッチングは、イオンによる垂直方向のエッチング成分を抑えると共に、ラジカルによる横方向のエッチング成分を増やすエッチング条件を備えたドライエッチングで実現されていることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 前記第2の工程の等方性エッチングは、ウェットエッチングで実現されていることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 前記第1の工程の異方性エッチングは、前記トレンチの側壁が順テーパ形状となるようなエッチング条件で実行されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 前記第2の工程の実行後において前記トレンチの底部の最大幅寸法が前記トレンチの上部の幅寸法よりも小さくようなエッチング条件で、前記第1の工程の異方性エッチングを実行することを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 前記第2の工程の後、前記トレンチの側壁の内面の反応生成物を除去する工程と、この反応生成物を除去する工程の後、等方性エッチングを行う工程とを備えたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項9】 前記第2の工程の後、前記トレンチの側壁の内面の反応生成物を除去する工程と、この反応生成物を除去する工程の後、ダメージ除去用のアニールを行う工程とを備えたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項10】 前記第2の工程の後、前記トレンチの側壁の内面の反応生成物を除去する工程と、この反応生成物を除去する工程の後、犠牲酸化を行う工程とを備えたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項11】 半導体基板上に異方性エッチングを行

った後、反応生成物を除去しない状態で等方性エッチングを行うことにより形成され、底部のコーナー部が丸められたトレンチと、

このトレンチに形成され、下端部が丸められたゲート電極とを備えて成る絶縁ゲート型パワー素子。

【請求項12】 前記トレンチの底部のコーナー部の曲率半径を、 $0.3 \sim 0.5 \mu\text{m}$ に設定したことを特徴とする請求項11記載の絶縁ゲート型パワー素子。

【請求項13】 前記トレンチの底部は、前記トレンチの上部から中央部を経由して底部方向へ引いた仮想線よりも外側に広がるように構成されていることを特徴とする請求項11または12記載の絶縁ゲート型パワー素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板上に形成されたトレンチを備えた半導体装置を製造する場合に好適する半導体装置の製造方法及び絶縁ゲート型パワー素子に関する。

【0002】

【従来の技術】MOS型パワー素子やIGBT型パワー素子等の絶縁ゲート型パワー素子においては、近年、小形化及び低抵抗化するために、トレンチ側壁にゲートを形成するトレンチゲート型構造が用いられている。このトレンチゲート型構造の場合、シリコン基板上にドライエッチング（異方性エッチング）によりトレンチ（深溝）を形成し、このトレンチにゲートを形成している。

【0003】しかし、上記トレンチゲート型構造の素子の場合、トレンチの底部のコーナー部が角張っているため、この部分に電界集中が起こり易くなり、これに起因して、平面型（プレーナ型）構造の素子に比べて、ゲート耐圧が低いという問題点があった。この問題点を解消するために、従来構成においては、トレンチを形成した後、トレンチに対して等方性エッチングを実行することにより、トレンチの底部のコーナー部を丸めるようにしている。

【0004】ここで、トレンチの底部のコーナー部を丸めるエッチングを実行する製造工程の一例を、図9に示す。この図9の製造工程では、まず、図9(a)に示すように、シリコン基板101の上に、トレンチ形成用の開口部102aが形成されたトレンチマスク102を形成する。続いて、図9(b)に示すように、シリコン基板101上に異方性エッチングを行うことにより、トレンチ103を形成する。この異方性エッチングにより、トレンチ103の内面には反応生成物104の層が形成される。

【0005】次に、図9(c)に示すように、トレンチ103の内面から反応生成物104を除去する工程を実行する。続いて、図9(d)に示すように、等方性エッチングを実行することにより、トレンチ103の底部の